

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-149017

(43) 公開日 平成9年(1997)6月6日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 7/033			H 0 4 L 7/02	B
H 0 3 L 7/083			H 0 3 L 7/10	F

審査請求 未請求 請求項の数5 O L (全 24 頁)

(21) 出願番号 特願平7-305703

(22) 出願日 平成7年(1995)11月24日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 山岡 信介

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

(72) 発明者 ▲吉▼田 聡

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

(72) 発明者 太矢 隆士

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

(74) 代理人 弁理士 工藤 宣幸

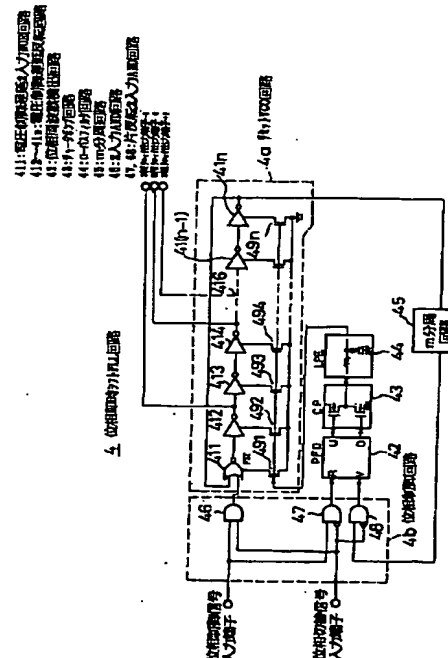
最終頁に続く

(54) 【発明の名称】 PLL回路及びビット位相同期回路

(57) 【要約】

【課題】 どのような位相で受信データが取り込まれても、非常に安定的に、しかも簡単な構成で迅速にビット位相同期をとれたデータとクロックを出力し、ノイズに対する誤動作を改善することができるビット位相同期回路と、このようなビット位相同期回路を実現するための機能的なPLL回路。

【解決手段】 位相制御回路4bは、位相制御信号と位相切り替え信号とを取り込み、位相切り替え信号がアクティブ（ハイレベル）で与えられる場合には、位相制御信号によってリセットVCO回路4aを位相シフトモードで発振動作制御する。また、位相切り替え信号が非アクティブ（ロウレベル）で与えられる場合には、位相制御信号によって位相周波数検出回路42を制御し、遅倍PLL動作を行なわせる。



## 【特許請求の範囲】

【請求項1】 リセットVCO回路と、位相比較制御回路とを備え、入力位相制御信号を上記位相比較制御回路に与えてPLL動作を行うPLL回路において、位相切り替え信号を印加する位相切り替え信号入力端子と、

上記位相切り替え信号入力端子に印加された位相切り替え信号が所定の状態のときには、上記位相制御信号を上記リセットVCO回路に与えてこのリセットVCO回路だけを発振制御し、位相シフトモードで発振動作させる制御を行い、上記位相切り替え信号入力端子に印加された上記位相切り替え信号が上記所定状態以外の状態のときには、上記位相制御信号を上記位相比較制御回路に与えて、PLL動作を行なわせる制御を行う位相制御手段とを備えたことを特徴とするPLL回路。

【請求項2】 受信データと、この受信データのビット速度の $a$ 倍（ $a$ は自然数）又は $1/a$ のクロック周波数の第1のクロックとのビット位相同期をとって同期状態にするビット位相同期回路であって、上記第1のクロックのクロック周波数の $m$ 倍（ $m > 0$ ）の周波数の基準クロックから上記受信データのビット速度の $a$ 倍又は $1/a$ の1のクロック周波数で、しかも上記受信データの1ビット幅を $n$ （ $n$ は2以上の整数）相に移相した $n$ 相のクロックをPLL回路で生成する $n$ 相クロック生成手段と、上記 $n$ 相のクロックのそれぞれの位相のクロックに対して歯抜け処理を行った $n$ 相の歯抜け状クロックを生成すると共に、歯抜け状クロックのパルスとパルスとの間に切り替えタイミング信号を生成する $n$ 相歯抜け状クロック生成手段と、上記 $n$ 相の歯抜け状クロックのいずれかの位相のクロックを選択制御信号によって選択出力する選択手段と、上記第1のクロックと上記受信データとの位相差を検出し、この位相差信号と切り替えタイミング信号とを基にして上記選択制御信号を生成して上記選択手段に与えると共に、上記第1のクロックで上記受信データをラッチ出力してビット位相同期データを出力するタイミング判定出力手段とを備えたビット位相同期回路において、

請求項1記載のPLL回路を備えるものであって、上記選択手段で選択出力されたクロックを、位相制御信号として取り込むと共に、位相切り替え信号を取り込んで上記第1のクロックを生成するクロック生成手段と、

上記 $n$ 相クロック生成手段で生成されたクロックと、上記第1のクロックとから上記クロック生成手段のPLL回路がロック状態であるか否かを判定し、ロック判定結果信号を出力するロック判定手段とを備え、

上記タイミング判定出力手段は、上記切り替えタイミング信号と上記ロック判定結果信号と上記位相差信号とから上記位相切り替え信号を生成して上記クロック生成手段のPLL回路に与えることを特徴とするビット位相同期回路。

【請求項3】 上記選択手段は、選択切り替え出力を行ってから、上記タイミング判定出力手段で上記位相差信号が求められるまでの時間を所定保護時間として、選択切り替えを行ってから上記所定保護時間内は有意なクロックとして上記クロック生成手段に与えないようにマスク処理する構成であることを特徴とする請求項2記載のビット位相同期回路。

【請求項4】 同じビット速度の複数の受信データからなるパラレル受信データに対するビット位相同期を行う回路であって、上記パラレル受信データと、各受信データのビット速度の $a$ 倍（ $a$ は自然数）又は $1/a$ のクロック周波数の第1のクロックとのビット位相同期をとって同期状態にするビット位相同期回路であって、請求項2又は3記載のビット位相同期回路で上記パラレル受信データの内のいずれか一つの受信データに対するビット位相同期をとり、

その他の残りの受信データに対して、上記第1のクロックを用いてラッチ出力して、それぞれの受信データに対するビット位相同期データを出力する構成であることを特徴とするビット位相同期回路。

【請求項5】 同じビット速度の複数の受信データからなるパラレル受信データに対するビット位相同期を行う回路であって、上記パラレル受信データと、各受信データのビット速度の $a$ 倍（ $a$ は自然数）又は $1/a$ のクロック周波数の第1のクロックとのビット位相同期をとって同期状態にするビット位相同期回路であって、上記第1のクロックのクロック周波数の $m$ 倍（ $m > 0$ ）の周波数の基準クロックからPLL回路と歯抜け状クロック生成回路とセレクタ回路とセレクタ制御回路とロック判定回路と、請求項1記載のPLL回路と選択制御信号と位相制御信号と位相切り替え信号とによって位相制御と周波数制御とを行いながら上記第1のクロックを生成するクロック生成手段と、

上記第1のクロックと上記各受信データとの位相差を検出し、それぞれの位相差信号を基にして上記選択制御信号を生成して上記クロック生成手段に与えると共に、上記第1のクロックで上記各受信データをラッチ出力してビット位相同期データを出力するタイミング判定出力手段とを備えることを特徴とするビット位相同期回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、PLL（フェーズロックドループ：Phase Locked Loop）回路及びビット位相同期回路に関し、例えば、伝送システムや交換システムなどの高速データ伝送におけるビット位相同期に好適なものである。

【0002】

【従来の技術】一般にビット位相同期回路の技術として、例えば、多相クロックからデータとのタイミングが適正と判定される位相のクロックを選択する方式があ

る。この方式の技術の概要を図2の説明図を用いて説明する。この図2において、多相クロックはセクタ回路Aに入力され、このセクタ回路Aではセクタ制御信号に従って入力されている多相クロックの内の一つのクロックを出力し、そのクロックはタイミング判定回路Bに入力され、受信データはタイミング判定回路Bに入力される。このタイミング判定回路Bでは入力クロックと入力データのタイミングが適正か否かを判定し、その判定結果信号を出力し、その判定結果信号はクロック選択制御回路Cに入力される。このクロック選択制御回路Cでは判定結果信号からセクタ制御信号を生成してセクタ回路Aに出力する。このような動作を繰り返すことによって、ビット位同期を確立するものである。

【0003】

【発明が解決しようとする課題】しかしながら、上述の従来の回路構成では、セクタ回路Aによってクロックの切り替えを行っているため、一般的なセクタ制御ではクロックにノイズが重畳してしまい、これを防ぐためには、セクタ制御を複雑にすることと、クロック選択制御回路及びセクタ回路をタイミング調整のために精巧に作り込むことが必要となり、このような技術は非常に難易度の高い技術であり、実現が非常に困難であるという問題がある。

【0004】以上のようなことから、どのような位相で受信データが取り込まれても、非常に安定的に、しかも簡単な構成で迅速にビット位同期がとれたデータとクロックを出力し、ノイズに対する誤動作を改善することができるビット位同期回路と、このようなビット位同期回路を実現するための機能的なPLL回路の提供が要請されている。

【0005】

【課題を解決するための手段】そこで、請求項1の発明は、リセットVCO回路と、位相比較制御回路とを備え、入力位相制御信号を上記位相比較制御回路に与えてPLL動作を行うPLL回路において、以下のような特徴的な構成で上述の課題を解決するものである。

【0006】即ち、請求項1の発明は、位相切り替え信号を印加する「位相切り替え信号入力端子」と、上記位相切り替え信号入力端子に印加された位相切り替え信号が所定の状態のときには、上記位相制御信号を上記リセットVCO回路に与えてこのリセットVCO回路だけを発振制御し、位相シフトモードで発振動作させる制御を行い、上記位相切り替え信号入力端子に印加された上記位相切り替え信号が上記所定状態以外の状態のときには、上記位相制御信号を上記位相比較制御回路に与えて、PLL動作を行なわせる制御を行う「位相制御手段」とを備えたものである。

【0007】このような構成を採ることで、従来のように位相制御信号だけでPLL動作を行うだけでなく、新たに備えた位相制御手段によって、新たに備えた位相切

り替え信号の状態（例えば、1/0信号）によって、位相シフトモードで発振動作させたり、通常のPLL動作を行なわせることもできるようになるのである。従って、従来に無い機能的なPLL回路を実現することができる。更に、このようなPLL回路をビット位同期回路に適用した場合の性能向上の効果を期待することができる。尚、上記位相比較制御回路には、チャージポンプ回路や、ロウパスフィルタ回路などが含まれている。

【0008】また、請求項2の発明は、受信データと、この受信データのビット速度のa倍（aは自然数）又は $1/a$ のクロック周波数の第1のクロックとのビット位同期をとって同期状態にするビット位同期回路であって、上記第1のクロックのクロック周波数のm倍（ $m > 0$ ）の周波数の基準クロックから上記受信データのビット速度のa倍又は $1/a$ のクロック周波数で、しかも上記受信データの1ビット幅をn（nは2以上の整数）相に移相したn相のクロックをPLL回路で生成するn相クロック生成手段と、上記n相のクロックのそれぞれの位相のクロックに対して歯抜け処理を行ったn相の歯抜け状クロックを生成すると共に、歯抜け状クロックのバルスとバルスとの間に切り替えタイミング信号を生成するn相歯抜け状クロック生成手段と、上記n相の歯抜け状クロックのいずれかの位相のクロックを選択制御信号によって選択出力する選択手段と、上記第1のクロックと上記受信データとの位相差を検出し、この位相差信号と切り替えタイミング信号とを基にして上記選択制御信号を生成して上記選択手段に与えると共に、上記第1のクロックで上記受信データをラッチ出力してビット位同期データを出力するタイミング判定出力手段とを備えたビット位同期回路において、以下のような特徴的な構成で上述の課題を解決するものである。

【0009】即ち、請求項2の発明は、請求項1記載のPLL回路を備えるものであって、上記選択手段で選択出力されたクロックを、位相制御信号として取り込むと共に、位相切り替え信号を取り込んで上記第1のクロックを生成する「クロック生成手段」と、上記n相クロック生成手段で生成されたクロックと、上記第1のクロックとから上記クロック生成手段のPLL回路がロック状態であるか否かを判定し、ロック判定結果信号を出力する「ロック判定手段」とを備え、上記タイミング判定出力手段は、上記切り替えタイミング信号と上記ロック判定結果信号と位相差信号とから位相切り替え信号を生成して上記クロック生成手段のPLL回路に与えるものである。

【0010】このような構成を採ることで、n相クロック生成手段の通常のPLL回路と、クロック生成手段の請求項1記載のPLL回路とがアンロック状態である場合には、請求項1記載のPLL回路を安定にロックインさせることができる。更に、両方のPLL回路のクロックからクロック生成手段の請求項1記載のPLL回路の

ロック動作状態を監視しているので、ロック状態と他の上記切り替えタイミング信号と上記位相差信号とから位相切り替え信号を生成し、クロック生成手段の請求項1記載のPLL回路を位相シフトモードで発振動作させたり、通常のPLL動作を行なわせることもできるようになるのである。

【0011】従って、どのような位相で受信データが取り込まれても、非常に安定的に、しかも簡単な構成で迅速にビット位相同期がとれたデータとクロックを出力し、ノイズに対する誤動作を改善することができるようになるのである。

【0012】

【発明の実施の形態】次に本発明の好適な実施の形態を図面を用いて説明する。

「位相即時シフトPLL回路4の実施の形態」：そこで、PLL回路を次のようように構成する。つまり、所望の周波数の $1/m$  ( $m>0$ )で、パルス幅が所望の周波数のクロックの1周期幅の半分、或いは、それ以下である位相制御信号と、位相切り替え信号が入力されるPLL回路において、リセットVCOと、位相周波数検出回路と、チャージポンプ回路と、ロウパスフィルタ回路と、 $m$ 分周回路と、2入力AND回路と、第1、第2の片反転2入力AND回路とから構成される。

【0013】そして、位相制御信号と位相切り替え信号を、2入力AND回路に入力し、その出力をリセットVCOに入力し、位相制御信号を、第1の片反転2入力AND回路の正転端子に入力し、位相切り替え信号を反転端子に入力し、 $m$ 分周回路の分周パルス出力を、第2の片反転2入力AND回路の正転端子に入力し、位相切り替え信号を反転端子に入力し、リセットVCOと位相周波数検出回路と、チャージポンプ回路とロウパスフィルタ回路と $m$ 分周回路で、逡倍PLL回路を構成する。

【0014】更に、位相周波数検出回路の基準クロック入力端子には、第1の片反転2入力AND回路の出力を入力し、比較対象クロック入力端子には、第2の片反転2入力AND回路の出力を入力し、位相切り替え信号が、アクティブ状態（ハイレベル）の場合は、位相制御信号をリセットVCOに取り込み、発振位相をシフトさせ、その間は位相周波数比較を行わず、位相切り替え信号が、非アクティブ状態（ロウレベル）の場合は、位相制御信号を基準クロックとした逡倍PLLとして動作するように構成する。このPLL回路を「位相即時シフトPLL回路」と呼ぶ。

【0015】図1は位相即時シフトPLL回路4の機能構成図である。この図1において、位相即時シフトPLL回路4は、リセットVCO回路4aと、位相制御回路4bと、位相周波数検出回路42と、チャージポンプ回路43と、ロウパスフィルタ回路44と、 $m$ 分周回路45とから構成されている。リセットVCO回路4aは、電圧制御遅延2入力NOR回路411と、電圧制御遅延

反転回路412～41nと、電圧制御遅延2入力NOR回路411を制御する電界効果型トランジスタFET491と、電圧制御遅延反転回路412～41nを制御するFET492～49nとから構成されている。

【0016】リセットVCO回路4aの原理を図3を用いて説明する。リセットVCO回路4aは、図3に示すようにタイミング情報（位相制御信号）を入力し、その位相制御信号によって直接的にVCOの発振位相を進めたり、遅らせたりする制御ができ、その制御応答時間は、発振クロックの1～5周期幅という短い時間で、入力されたパルス信号に対応した位相の出力クロックを生成することができるVCOである。

【0017】このようなリセットVCOの具体的な構成については、文献：特開平5-227145号公報「クロック発振回路及びクロック抽出回路」、特開平7-74737号公報「クロック抽出回路及び発振回路」、特願平6-38580号「クロック発振回路及びクロック発振回路に用いるゲート回路」の明細書及び図面、特願平7-35669号「クロック発振回路とそれを用いた電圧制御発振回路」の明細書及び図面などに示されているものを適用することができるが、本実施の形態においては、図1に示すような回路構成を採るものとする。尚、このリセットVCO回路については、特願平7-238637号明細書及び図面でも示したものである。

【0018】そこで、図1のリセットVCO回路4aは、リングオシレータ回路で構成されており、ロウパスフィルタ回路44からの低域通過信号が、FET491～49nのゲート端子に与えられることによって、FET491～49nのドレイン電流を制御して電圧制御遅延2入力NOR回路491と、電圧制御遅延反転回路492～49nの伝搬遅延を制御するのである。

【0019】電圧制御遅延2入力NOR回路411の一方の入力端子には電圧制御遅延反転回路41nからのクロックが与えられ、他方の入力には位相制御回路4bからの位相制御信号が与えられ、この位相制御信号によってリセットVCO回路4aは、位相シフトモードで発振動作を行なう。このリセットVCO回路4aは、発振クロックを3相出力する。

【0020】即ち、電圧制御遅延反転回路412から第1相のクロックを3相クロック出力端子-1に印加し、第2相のクロック（ある基準位相クロック）を電圧制御遅延反転回路414から3相クロック出力端子0に印加し、第3相のクロックを電圧制御遅延反転回路416から3相クロック出力端子+1に印加する。電圧制御遅延反転回路412からの第1相のクロックは、基準位相のクロックに対し隣り合っていて、しかも位相が進んでいる。また、電圧制御遅延反転回路416からの第3相のクロックは、基準位相のクロックに対し隣り合っていて、しかも位相が遅れているものである。

【0021】 $m$ 分周回路45は、リセットVCO回路4

aからの出力クロックを所定分周比で分周して、分周クロックを位相制御回路4bの片反転2入力AND回路48に与える。位相周波数検出回路42は、通倍PLL動作モード（位相切り替え信号が非アクティブ）のときに、m分周回路25からのm分周クロックを片反転2入力AND回路48からV端子に取り込むと共に、位相制御信号を片反転2入力AND回路47からR端子（リファレンス端子）に取り込み、位相・周波数の比較を行って得られる位相・周波数比較結果信号U（アップ信号）、D（ダウン信号）をチャージポンプ回路43に与える。

【0022】チャージポンプ回路43は、簡単なトランジスタ回路で構成することができ、位相差信号に比例した電流を流入／流出するものである。即ち、チャージポンプ回路23は、位相周波数検出回路42からの位相・周波数比較結果信号U、Dを与えられると、U信号によって充電し、D信号に放電させるように動作して得られるチャージポンプ信号をロウパスフィルタ回路44に与える。ロウパスフィルタ回路44は、このチャージポンプ信号を抵抗器とコンデンサからなる簡単な回路で低域通過信号を生成して、リセットVCO回路4aのFET491～49nに与える。

【0023】位相制御回路4bは、2入力AND回路46と、片反転2入力AND回路47、48とから構成されている。この位相制御回路4bは、リセットVCO回路4aの電圧制御遅延反転回路49nからの出力クロックをm分周した分周クロックを片反転2入力AND回路48に取り込むと共に、位相制御信号と位相切り替え信号とを取り込み、位相切り替え信号がアクティブ（ハイレベル）で与えられる場合には、位相制御信号によってリセットVCO回路4aを位相シフトモードで発振動作制御する。また、位相切り替え信号が非アクティブ（ロウレベル）で与えられる場合には、位相制御信号によって位相周波数検出回路42を制御し、通倍PLL動作を行なわせる。

【0024】このような動作を実現するため、位相制御信号は入力端子から2入力AND回路46の一方の入力端子に与えられ、他方の入力端子には位相切り替え信号入力端子からの信号が与えられる。即ち、2入力AND回路46は、位相切り替え信号がアクティブ（ハイレベル）で与えられる場合には、位相制御信号をリセットVCO回路4aの電圧制御遅延2入力NOR回路411に与え、位相切り替え信号が非アクティブ（ロウレベル）で与えられる場合には、位相制御信号を通過させず、ロウレベル信号を電圧制御遅延2入力NOR回路411に与える。

【0025】また、位相切り替え信号は入力端子から、2入力AND回路46に与えられる他に、更に、片反転2入力AND回路47、48にも与えられる。この片反転2入力AND回路47は、位相切り替え信号がアク

ティブ（ハイレベル）のときには、位相制御信号を通過させず、非アクティブ（ロウレベル）のときには、位相制御信号を通過させて位相周波数検出回路22に与えることで、通倍PLL動作モードの発振動作制御を行なう。

【0026】更に、片反転2入力AND回路48は、位相切り替え信号とm分周回路45からのm分周クロックとを与えられ、位相切り替え信号がアクティブ（ハイレベル）のときには、m分周クロックを通過させず、非アクティブ（ロウレベル）のときには、m分周クロックを通過させて、位相周波数検出回路22に与えることで、「通倍PLLモード」の発振動作制御を行なう。

【0027】（動作）：次に図4の動作タイミングチャートを用いて、図1の位相即時シフトPLL回路4の動作を説明する。図4（a）は位相制御信号の動作タイミングであり、図4（b）は位相切り替え信号の動作タイミングであり、図4（c）は電圧制御遅延反転回路41nの動作タイミングであり、図4（d）は片反転2入力AND回路47の動作タイミングであり、図4（e）は、片反転2入力AND回路48の動作タイミングである。

【0028】図4において、位相即時シフトPLL回路4は、位相切り替え信号（図4（b））が非アクティブ（ロウレベル）で与えられているときには、位相制御信号のバース立ち上がりタイミングに同期してリセットVCO回路4aが「通倍PLLモード」で発振動作を行なう（図4（c））。このときに位相制御信号はリセットVCO回路4aには与えられないので、「位相シフトモード」には制御されない。そして、位相切り替え信号（図4（b））がアクティブ（ハイレベル）で与えられると、今度は位相制御信号がリセットVCO回路4aの電圧制御遅延2入力NOR回路411に与えられて、「位相シフトモード」で発振位相が2入力AND回路46の出力信号（位相制御信号）（図4（c））によって強制的に制御され、発振クロックを出力するのである（図4（c））。

【0029】従って、位相切り替え信号のレベル状態によって、位相即時シフトPLL回路4を位相制御信号を用いて、発振位相を即時に強制制御する「位相シフトモード」と、位相制御信号による「通倍PLLモード」とに切り替えることができるのである。

【0030】（位相即時シフトPLL回路4の実施の形態の効果）：以上のような位相即時シフトPLL回路4によれば、新たに備えた位相切り替え信号によって、「位相シフトモード」と「通倍PLLモード」とを切り替えることができる。しかも、このような切り替えのときにおいても、無瞬断でノイズの重積無しに、クロックを安定に出力することができるという効果を奏する。

【0031】しかも、新規に追加した位相制御回路4bは非常に簡単な回路であるので、小型化を実現すること

もできる。このような効果を得ることができるので、ビット位同期回路に適用した場合に、ビット位同期性能の改善を期待することができる。

【0032】「本発明のビット位同期回路の第1の実施の形態」：本発明のビット位同期回路の第1の実施の形態では、ビット位同期回路を以下のように構成する。即ち、ビット位同期回路は、基本的には、位相が未知の受信データと、受信データのビットレートと同じ、或いは近接した周波数の $1/m$  ( $m>0$ )の周波数の基準クロックが入力される系において、 $n$ 位相の多相クロックを生成する逓倍PLL回路と、歯抜け状クロック生成回路と、 $n:1$ 選択のセレクタ回路と、位相制御信号によって、出力クロックの位相制御ができるリセットVCOを用いて構成された位相即時シフトPLL回路と、入力データを入力クロックでラッチし、入力データと入力クロックのタイミングを判定するタイミング判定回路と、判定信号から選択制御信号を生成し、切り替えタイミング信号がアクティブであるとき、入力クロックのタイミングで選択制御信号を出力するセレクタ制御回路と、逓倍PLL回路のクロックに位相即時シフトPLL回路がロックしているか否かを判定するロック判定回路とから構成される。

【0033】このようなビット位同期回路の基本的な構成において、更に、基準クロックを逓倍PLL回路に入力し、逓倍PLL回路で受信データのビットレートと同じ、或いは近接した周波数に逓倍し、且つ、多相クロックを生成する手段と、その多相クロックから、歯抜け状クロック生成回路で、各クロックに対して、 $k$  ( $k$ は3以上の整数) サイクルのクロックパルスの内の1個だけ立たせるといった、いわゆる歯抜け状クロックを生成し、且つ、各位相に対して生成されたパルスは、多相クロックの、2クロック周期幅に収まるように生成し、また、歯抜け状クロックの、パルスとパルスの中間位置で、アクティブパルスが立つような切り替えタイミング信号を生成する手段とを備える。

【0034】更に、その多相歯抜け状クロックから、セレクタ回路で任意の位相を選択する手段と、セレクタ回路で選択出力されたクロックを、位相即時シフトPLL回路の位相制御信号として入力し、位相即時シフトPLL回路では、位相切り替え信号がアクティブ状態である場合には、位相制御信号をリセットVCO回路に取り込み、位相をシフトさせ、位相切り替え信号が非アクティブ状態である場合には、位相制御信号を基準クロックとして「逓倍PLLモード」の動作を行う手段と、逓倍PLL回路と位相即時シフトPLL回路とが、ロック状態であるか否かを判定する手段とを備える。

【0035】更にまた、タイミング判定回路において、位相即時シフトPLL回路との出力クロックで受信データをラッチし、その際に、ラッチタイミングを判定し、クロックの位相を進ませるか、遅らせるか、そのままに

するかを表す判定信号を出力し、ラッチしたデータと、ラッチに用いたクロックは、それぞれ再生データと再生データ用クロックとして出力する手段と、ラッチタイミングの判定結果はセレクタ制御回路において、前回セレクタ回路を制御し、その結果のフィードバックがかかるまでの保護時間の後であれば、有効な判定信号として、セレクタ制御回路では、それに従った位相のクロックを選択するように選択制御信号を生成し、その選択制御信号は、歯抜け状クロック生成回路から入力される切り替えタイミング信号がアクティブであるときに、逓倍PLLの多相クロックの内の任意の1つのクロックのタイミングで出力し、また、ロック判定結果がアンロック状態であると判定されている場合には、選択制御信号を固定にし、セレクタ回路を制御し、選択制御信号が変化する場合においては、位相切り替え信号に、切り替えタイミング信号のタイミングで、固定幅のアクティブパルスを出力する手段とを備える。

【0036】図5はビット位同期回路の機能構成図である。この図5において、ビット位同期回路は、逓倍PLL回路2と、セレクタ回路3と、位相即時シフトPLL回路4と、タイミング判定回路5と、セレクタ制御回路6と、歯抜け状クロック生成回路11と、ロック判定回路16とから構成されている。

【0037】逓倍PLL回路2は、基準クロック入力端子1からのクロックを基準クロック入力端子に取り込む。この基準クロックは受信データのビットレートと同じ周波数の $1/m$  ( $m>0$ )である。この逓倍PLL回路2は、受信データのビットレートと同じ周波数のクロックを生成する。しかも、この逓倍PLL回路2は、リングオシレータやマルチバイブレータ等の多相クロックを生成できるVCOを用いて逓倍クロックの1クロック幅を $n$ 等分 ( $n$ は3以上の整数) した位相差の多相クロックを、多相クロック出力端子 (1~ $n$ ) から出力する。この多相クロックの位相関係は、多相クロック1を位相の先頭とし、引数が大きくなるほど位相は遅れたものとする。

【0038】歯抜け状クロック生成回路11は、逓倍PLL回路2からの多相クロック1~ $n$ を与えられ、各クロックに対して、 $k$  ( $k$ は3以上の整数) サイクルのクロックパルスの内の1個だけ立たせるといった、いわゆる、歯抜け状クロックを生成し、且つ、各位相に対して生成されたパルスは、多相クロックの2クロック周期幅に収まるように生成する。また、切り替えタイミング信号を、歯抜け状クロックのパルスとパルスとの中間位置でアクティブパルスが立つように生成する。そして、多相歯抜け状クロック1~ $n$ をそれぞれセレクタ回路3の被選択信号入力端子1~ $n$ に与えると共に、切り替えタイミング信号をセレクタ制御回路6の切り替えタイミング信号入力端子に与える。

【0039】セレクタ制御回路6は、歯抜け状クロック

生成回路11からの切り替えタイミング信号を切り替えタイミング信号入力端子に取り込み、逡倍PLL回路2の多相クロック出力端子1からのクロックをクロック入力端子に取り込み、ロック判定回路16からのロック判定結果信号をロック判定結果信号入力端子に取り込み、タイミング判定回路5からタイミング判定結果信号をタイミング判定結果信号入力端子に取り込んで、選択制御信号を生成して選択制御信号出力端子から出力してセレクト回路3に与えると共に、位相切り替えタイミング信号を生成して位相切り替え信号出力端子から出力して位相即時シフトPLL回路4に与え、タイミングエラーが起きた場合は、タイミングエラー出力端子から受信データ識別エラー出力端子10に受信データ識別エラー信号を出力する。

【0040】セレクト回路3は、歯抜け状クロック生成回路11からの多相歯抜け状クロック1～nを被選択信号入力端子1～nに取り込み、これらの多相歯抜け状クロック1～nのいずれかの多相歯抜け状クロックをセレクト制御回路6から与えられる選択制御信号に基づき選択出力して、位相即時シフトPLL回路4の位相制御信号入力端子に与える。

【0041】位相即時シフトPLL回路4は、上述したように、セレクト回路3から選択出力された歯抜け状クロックを位相制御信号入力端子に取り込むと共に、セレクト制御回路6から与えられる位相切り替え信号を位相切り替え信号入力端子に取り込み、この位相制御信号がアクティブ（ハイレベル）状態の間は、位相制御信号のバースの位相によって内部のリセットVCOの発振位相を強制的に制御する「位相シフトモード」で動作する。

【0042】また、位相切り替え信号が非アクティブ（ロウレベル）状態の間は、位相制御信号を入力クロックとして「逡倍PLLモード」で動作する。このようないずれかのモードで動作して、得られる発振クロックを3相クロックで出力する。即ち、ある基準の位相のクロック0と、この基準位相のクロックに対して隣り合い、しかも位相が進んでいるクロック-1と、基準位相のクロックに対して隣り合い、しかも位相が遅れているクロック+1とを出力してタイミング判定回路5の3相クロック入力端子-1、0、+1に与える。

【0043】ロック判定回路16は、逡倍PLL回路2の発振クロック（マスタクロック）と、位相即時シフトPLL回路4の発振クロック（スレーブクロック）とから位相即時シフトPLL回路4がロック状態であるか否かを判定する。この判定でロック状態であると判定されると、ロック判定結果信号としてアクティブ（ハイレベル）信号を出力し、ロック状態でないと判定されると、ロック判定結果信号として非アクティブ（ロウレベル）信号を出力してセレクト制御回路6のロック判定結果信号入力端子に与える。

【0044】タイミング判定回路5は、位相即時シフト

PLL回路4からの3相クロックを3相クロック入力端子-1、0、+1に取り込むと共に、受信データ入力端子7からの受信データをデータ入力端子に取り込み、入力された3相クロック0と、受信データの位相関係に対して適当であれば、そのまま、不適当であれば、クロックの位相を進めるべきか、遅らすべきかを判定して、その結果をタイミング判定結果信号出力端子から出力してセレクト制御回路6のタイミング判定結果信号入力端子に与える。更に、タイミング判定回路5は、受信データを3相クロック0にてラッチし、そのラッチ出力を、データ出力端子から出力し再生データ出力端子8に印加すると共に、このラッチに用いた3相クロック0ビットを再生データ用クロック出力端子9に印加するものである。

【0045】（動作）：次に図6、図7の動作タイミングチャートを用いて、上述の図5のビット位相同期回路の動作を説明する。図6、図7において、（a）は基準クロックの動作タイミングであり、（b1）～（b5）は逡倍PLL回路2の多相クロックの動作タイミングであり、（c1）～（c5）は歯抜け状クロック生成回路11の多相歯抜け状クロックの動作タイミングであり、（d）は歯抜け状クロック生成回路11の切り替えタイミング信号の動作タイミングであり、（e）はセレクト回路3の選択制御信号の動作タイミングであり、（f）はセレクト回路3の出力信号の動作タイミングであり、（g）は位相即時シフトPLL回路4の3相クロック-1の動作タイミングであり、（h）は位相即時シフトPLL回路4の3相クロック0の動作タイミングであり、（i）は位相即時シフトPLL回路4の3相クロック+1の動作タイミングであり、（j）は受信データの動作タイミングであり、（k）は再生データの動作タイミングであり、（l）はタイミング判定回路5の第1の判定結果信号の動作タイミングであり、（m）はタイミング判定回路5の第2の判定結果信号の動作タイミングであり、（n）はセレクト制御回路6の位相切り替え信号の動作タイミングである。

【0046】尚、図6、図7の動作においては、分周比 $m=4$ 、多相クロックの相数を $n=5$ とし、歯抜け状クロックの歯抜けサイクル $k=4$ とする。

【0047】先ず、基準クロック入力端子1に、例えば、受信データのビットレートと同じ周波数の $1/m$ （ $m>0$ ）の基準クロック（a）が印加されると、逡倍PLL回路2の基準クロック入力端子に与えられる。この逡倍PLL回路2では、受信データのビットレートと同じ周波数のクロックが生成される。この逡倍PLL回路2では、リングオシレータやマルチバイブレータ等の多相クロックを生成できるVCOを用いて、逡倍クロックの1クロック幅を $n$ 等分（ $n$ は3以上の整数）した位相差の多相クロック（b1）～（b5）を、逡倍PLL回路2の多相クロック出力端子1～nからそれぞれ出力

する。

【0048】 逓倍PLL回路2の多相クロック1～nは、歯抜け状クロック生成回路11の多相クロック入力端子1～nに入力され、また、逓倍PLL回路2の多相クロック1はセクタ制御回路6のクロック入力端子に入力される。歯抜け状クロック生成回路11では、入力された多相クロック1～nの各クロックに対してk（kは3以上の整数）サイクルのクロックパルスの内の1個だけ立たせるといった、いわゆる、歯抜け状クロック（c1）～（c5）を生成し、且つ、各位相に対して生成されたパルスは、多相クロックの2クロック周期幅に収まるように生成される。また、切り替えタイミング信号は、歯抜け状クロックの、パルスとパルスの中間位置でアクティブパルスが立つように生成される。

【0049】 歯抜け状クロック生成回路11の多相歯抜け状クロック1～nは、それぞれセクタ回路3の被選択信号入力端子1～nに入力される。セクタ回路3では、選択制御信号（e）に従って、被選択信号入力端子1～nに入力される信号の内の1つの信号を信号出力端子から出力された信号は、位相即時シフトPLL回路4の位相制御信号入力端子に入力される。

【0050】 位相即時シフトPLL回路4では、位相切り替え信号（n）によって2つのモードをもっており、位相切り替え信号がアクティブ状態の場合は「位相シフトモード」、非アクティブの場合は「逓倍PLLモード」で動作する。「位相シフトモード」では、位相切り替え信号（n）がアクティブ状態の間、位相制御信号入力端子から入力される信号のパルスの位相によって、位相即時シフトPLL回路4を構成しているリセットVCOの発振位相が強制的に制御され、n相の位相を持つパルス信号を選択入力することによって、それぞれに対応したn相の発振位相のクロックが生成される。

【0051】 また、「逓倍PLLモード」では、位相切り替え信号が非アクティブ状態の間は、位相制御信号入力端子から入力される信号のパルスを基準クロックとして、逓倍PLL動作を行う。この位相即時シフトPLL回路4では、ある基準の位相のクロックと、基準クロックと隣り合い、位相の進んでいるクロックと、基準クロックと隣り合い、位相の遅れているクロックとの3つの位相のクロックを、それぞれ3相クロック0（h）、-1（g）、+1（i）として出力する。位相即時シフトPLL回路4の3相クロック-1、0、+1は、それぞれタイミング判定回路5の3相クロック入力端子-1、0、+1に入力される。

【0052】 受信データ入力端子7には、対向する装置から伝送されてきた、位相が未知なデータが入力され、そのデータ（j）はタイミング判定回路5のデータ入力端子に入力される。タイミング判定回路5では、入力された3相クロック0（h）とデータとの位相関係に対して、適当であれば、そのまま、不適当であれば、クロッ

クの位相を進めるべきか、遅らせるべきかを判定し、その結果（l）、（m）をタイミング判定結果信号出力端子から出力する。

【0053】 また、タイミング判定回路5は、入力されたデータ（j）を、3相クロック0（h）においてラッチし、そのラッチ出力を、データ出力端子（k）から出力し、その出力は再生データ出力端子8から出力され、入力データをラッチするために用いたクロックを、クロック出力端子から出力し、その出力は再生データ用クロック出力端子9から出力される。

【0054】 タイミング判定回路5のタイミング判定結果信号（l）、（m）は、セクタ制御回路6のタイミング判定結果信号入力端子に入力される。セクタ制御回路6では、前回、セクタ回路3の選択制御信号（e）を変化させたときから、タイミング判定回路5の判定結果信号（l）、（m）に、正確に反映されるための保護時間を取り、その後に入力された判定結果信号に対応して、セクタ制御回路6の選択制御信号出力端子から制御信号（e）を出力する。

【0055】 ここで、セクタ制御回路6での保護時間は、セクタ制御回路6→セクタ回路3→位相即時シフトPLL回路4→タイミング判定回路5→セクタ制御回路6の経路のフィードバック時間以上が必要となる。選択制御信号（e）は、選択制御信号出力端子から出力される前段において、多相クロック1でラッチされており、そのラッチは切り替えタイミング信号がアクティブな場合に、新しい選択制御信号（e）を取り込み、切り替えタイミング信号が非アクティブな場合は、ラッチの値を保持する。

【0056】 つまり、セクタ回路3の制御は、切り替えタイミング信号（d）がアクティブな領域で行われ、そのタイミングにおいて、セクタ回路3の被選択信号1～nの入力は、位相即時シフトPLL回路4の位相制御信号として非アクティブ信号である値で安定している。よって、切り替え時に、位相即時シフトPLL回路4の位相制御信号入力端子にノイズが入力されることはないのである。

【0057】 位相切り替え信号（n）は、選択制御信号（e）が変化することと同時に、切り替えを行う状態を示すアクティブ信号を出力し、その後に来る切り替えタイミング信号（d）によって非アクティブ信号を出力する。ここでは位相即時シフトPLL回路4が、位相制御信号（f）の単発パルスによって位相制御が終了するので、直後の切り替えタイミング信号によって位相切り替え信号（n）を非アクティブにしているが、位相制御が複数発のパルスを必要とする位相即時シフトPLL回路4の場合には、その数だけ後に切り替えタイミング信号（d）によって位相切り替え信号を非アクティブにする。

【0058】 また、セクタ制御回路6では、保護時間



内の判定結果信号に、位相即時シフトPLL回路4の位相を進ませる情報と、遅らせる情報とが両方含まれていた場合、受信データにノイズが重畳されていたか、入力線路断等によって入力値が不定値になっているか、或いは位相即時シフトPLL回路4の出力クロックが、受信データに対してトラッキングエラーを起こしたと判断し、タイミングエラー出力端子からタイミングエラー信号を出力し、受信データ識別エラー出力端子10から出力される。

【0059】更に、セレクト制御回路6では、ロック判定回路16のロック判定結果信号がアンロック状態を示す非アクティブである場合には、位相即時シフトPLL回路4のロックイン動作を妨げないようにするため、タイミング判定結果信号の値によらず選択制御信号の値を変化させることを行わない。

【0060】ロック判定回路16では、逡倍PLL回路2の多相クロック1をマスタクロックとし、位相即時シフトPLL回路4の3相クロック0をスレーブクロックとして、位相即時シフトPLL回路4がロック状態であるか否かを判定し、ロック状態であると判定された場合にはアクティブ信号を出力し、アンロック状態であると判定された場合には非アクティブ信号を出力するのである。

【0061】(逡倍PLL回路2の詳細構成)： 図8は上述の図5で使用している逡倍PLL回路2の一例の詳細な機能構成図である。この図8において、逡倍PLL回路2は、リングオシレータを構成している電圧制御遅延反転回路211～21nと電界効果型トランジスタFET251～25nと、位相周波数検出回路22と、チャージポンプ回路23と、ロウパスフィルタ24と、m分周回路25とから構成されている。

【0062】位相周波数検出回路22は、基準クロックを与えられるとm分周回路25からのm分周クロックとの位相周波数比較を行って得られる位相周波数比較結果信号U、Dをチャージポンプ回路23に与える。チャージポンプ回路23は、簡単なトランジスタ回路で構成することができ、位相差信号に比例した電流を流入/流出するものである。即ち、チャージポンプ回路23は、位相周波数検出回路42からの位相・周波数比較結果信号U、Dを与えられると、U信号によって充電し、D信号によって放電させるように動作して得られるチャージポンプ信号をロウパスフィルタ回路24に与える。ロウパスフィルタ回路24は、このチャージポンプ信号を抵抗器とコンデンサからなる簡単な回路で低域通過信号を生成して、VCO回路のFET251～25nに与える。

【0063】図8の点線で示しているVCO回路の電圧制御遅延反転回路211～21nとFET251～25nとは、ロウパスフィルタ24からの低域通過後の信号を受けると、n相のクロックを発振形成して多相クロック出力端子に出力すると共に、一部の発振出力信号をm

分周回路25に戻す。即ち、電圧制御遅延反転回路211～21nの出力信号を多相クロック出力端子1～nへ出力し、電圧制御遅延反転回路21nの出力信号をm分周回路25に与える。m分周回路25は、電圧制御遅延反転回路21nの出力信号をm(mは1以上の実数)分周して位相周波数検出回路22に与える。このような構成によって、基準クロックを入力信号として、多相クロックを生成することができる。

【0064】(歯抜け状クロック生成回路11の詳細構成)： 図9は歯抜け状クロック生成回路11の詳細な機能構成図である。この図9において、歯抜け状クロック生成回路11は、入力が多相クロック信号のそれぞれに対して歯抜け状クロック生成部111～11nから構成され、それぞれ同じ回路構成で実現されている。代表して内部の構成を説明すると、歯抜け状クロック生成部111は、バイナリカウンタ1111と、片反転2入力AND回路1112と、2入力NOR回路1113と、2入力AND回路1114と、Dフリップフロップ回路1115とから構成されている。

【0065】バイナリカウンタ1111は多相クロック1の逆相のクロックで動作し、カウンタ値から4クロックに一回だけハイレベル信号が立つ信号を2入力NOR回路1113で生成し、その信号と多相クロック1の論理積演算を2入力AND回路1114で行うことで歯抜け状クロックを生成する。また、カウンタ値から4クロックに一回だけハイレベル信号が立つ歯抜け状クロックの中間にハイレベルが立つような信号を片反転2入力AND回路1112で出力し、切り替えタイミング信号として生成する。この切り替えタイミング信号は歯抜け状クロック生成部111の出力だけを使用する。

【0066】歯抜け状クロック生成部111の連鎖リセット入力信号は、バイナリカウンタ1111のロード信号として入力され、このバイナリカウンタ1111では、その歯抜け状クロック生成部の配置とk(2以上の整数で、歯抜けサイクル数)の数から決まる値をロードする。また、連鎖リセット入力信号は、多相クロック1の逆相で動作するDフリップフロップ回路1115においてラッチ出力され、連鎖リセット出力信号として出力される。この連鎖リセット出力信号は、歯抜け状クロック生成部11nから始まり、歯抜け状クロック生成部から出力された後、隣り合った位相の進んだ多相クロックを処理している歯抜け状クロック生成部の連鎖リセット入力信号として入力され、歯抜け状クロック生成部111で連鎖を閉じるものである。

【0067】ここで、バイナリカウンタ1111へのロード値の決め方を説明する。歯抜け状クロック生成部11nをリセット連鎖の開始の歯抜け状クロック生成部として、歯抜け状クロック生成部11nのバイナリカウンタ1111の値が0の場合、コード0信号を出力し、その信号は歯抜け状クロック生成部11(n-1)の連鎖

リセット入力信号 $n-1$ として入力され、歯抜け状クロック生成部11( $n-1$ )のバイナリカウンタ1111では、前の歯抜け状クロック生成部である歯抜け状クロック生成部11 $n$ のバイナリカウンタ1111の値の1をインクリメントした値である1をロード値とし、連鎖リセット入力信号 $n-1$ によってロードされる。

【0068】以下同様にして前の歯抜け状クロック生成部でロードされた値に1をインクリメントした値をロード値とし、そのロード値が $k-1$ と等しくなったときに、次の歯抜け状クロック生成部ではロード値を0に戻して再び1ずつロード値を増加させていくのである。このように構成することで、全ての歯抜け状クロックのパルスの位置を2クロック周期幅以内に収めることができるのである。

【0069】(タイミング判定回路5の詳細構成)：

図10はタイミング判定回路5の詳細構成図である。この図10において、タイミング判定回路5は、Dフリップフロップ回路511～513、516、517と、排他的論理和回路514、515とから構成されている。

【0070】Dフリップフロップ回路511～513のデータ入力端子Dには受信データが与えられ、Dフリップフロップ回路511のクロック入力端子Cには3相クロック-1が与えられ、Dフリップフロップ回路512のクロック入力端子Cには3相クロック0が与えられ、Dフリップフロップ回路513のクロック入力端子Cには3相クロック+1が与えられる。Dフリップフロップ回路511はデータ出力端子Qから受信データに対するラッチ出力信号を出力して排他的論理和回路515に与える。

【0071】Dフリップフロップ回路512は、データ出力端子Qから受信データに対するラッチ出力信号を出力して排他的論理和回路515、514とに与えると共に、データ出力端子に出力する。Dフリップフロップ回路513は、データ出力端子Qから受信データに対するラッチ出力信号を出力して排他的論理和回路514に与える。排他的論理和回路514は、Dフリップフロップ回路512からのラッチ出力信号と、Dフリップフロップ回路513からのラッチ出力信号とから排他的論理和演算を行って、この演算結果をDフリップフロップ回路516のデータ入力端子Dに与える。

【0072】このDフリップフロップ回路516のクロック入力端子Cには3相クロック-1が与えられており、このクロックで排他的論理和演算結果をラッチ出力し、このラッチ出力信号(位相を進ませる信号)を判定結果信号出力端子1へ出力する。

【0073】一方、排他的論理和回路515は、Dフリップフロップ回路511のラッチ出力信号と、Dフリップフロップ回路512からのラッチ出力信号との排他的論理和演算を行って、この演算結果をDフリップフロ

ブ回路517のデータ入力端子Dに与える。このDフリップフロップ回路517のクロック入力端子Cには、3相クロック-1が与えられており、このクロックで排他的論理和演算結果をラッチ出力し、このラッチ出力信号(位相を遅らせる信号)を判定結果信号出力端子2へ出力するものである。

【0074】このような構成によって、タイミング判定回路5は、位相が未知の受信データを取り込むと共に、リセットVCO4からの3相クロック-1、0、+1とを取り込み、入力された3相クロック0と、データの位相関係に対して適当であれば、そのまま、また不適当であればクロックの位相を進めるべきか、それとも遅らせるべきであるかを判断し、その結果を判定結果信号として出力するものである。また、タイミング判定回路5は、入力された受信データを3相クロック0にてラッチし、そのラッチ出力をデータ出力端子から出力し、同時に入力受信データをラッチするために使用した3相クロック0を出力するものである。

【0075】(ロック判定回路16の詳細構成)：

図11はロック判定回路16の詳細な機能構成図である。この図11において、ロック判定回路16はバイナリカウンタ161～163と、Dフリップフロップ回路164と、JKフリップフロップ回路165と、2入力NAND回路166と、片反転2入力AND回路167と、OR回路168、169と、NOT回路170とから構成されている。

【0076】ロック判定回路16において、バイナリカウンタ161、163と、Dフリップフロップ回路164と、JKフリップフロップ回路165とは、マスタクロックによって動作し、バイナリカウンタ162はスレーブクロックによって動作する。バイナリカウンタ161では、カウンタ値が $N$ ( $N$ は任意の自然数)と $N+2$ 、 $N+4$ になるとアクティブパルスが出力されるようになっており、それらのパルスより、JKフリップフロップ回路165を用いて、4クロック幅のパルスを生成し、それによってバイナリカウンタ162をディゼーブルする。

【0077】バイナリカウンタ161のカウンタ値が $N+2$ の場合に、バイナリカウンタ162のカウンタ値をモニタし、その値が $N$ 或いは $N+1$ であればバイナリカウンタ163をカウントアップし、違っていたらカウンタ値を0にリセットする。また、誤ってロック状態であると判断することの無いようにM段(Mは2以上の整数)の保護を持たせるため、バイナリカウンタ163は、カウンタ値がMになったところで自己ディゼーブルをかけ、ロック判定結果信号として、ロック状態を示すロウレベル信号を出力するのである。

【0078】(セクタ制御回路6の詳細構成)：

図12はセクタ制御回路6の詳細構成図である。この図12において、セクタ制御回路6は、Dフリップフ

ロップ回路61、62、66～69、610と、セクタ付きDフリップフロップ回路621～62nと、2入力AND回路63～65、618と、片反転2入力AND回路611、612と、OR回路613と、アップダウンカウンタ614と、バイナリカウンタ615と、JKフリップフロップ616と、2入力NOR回路617と、OR回路631、636と、Dフリップフロップ632と、AND回路633、634と、片反転AND回路635と、JKフリップフロップ637とから構成されている。

【0079】特にOR回路631、636と、Dフリップフロップ632と、AND回路633、634と、片反転AND回路635と、JKフリップフロップ637とからなる回路は、位相即時シフトPLL回路4に対する位相切り替え信号を生成するための回路である。

【0080】まず判定結果信号として位相を進ませる信号及び位相を遅らせる信号は、それぞれDフリップフロップ回路61、62のクロックとして入力される。Dフリップフロップ回路61、62は、クロックの立ち上がりエッジが入力されると、ハイレベル出力でラッチ出力し、これらのラッチ出力信号は、バイナリカウンタ615で決められる保護時間以外であれば、それぞれDフリップフロップ回路67、68でラッチされる。

【0081】Dフリップフロップ回路67～69、610、片反転2入力AND回路611、612で構成される回路は、判定結果信号の立ち上がりを検出して、1クロック幅のパルスを出力する。位相を進ませる信号の立ち上がりを検出回路において検出して生成されたパルスはアンブダウンカウンタ614のダウン入力に与えられる。位相を遅らせる信号の立ち上がりを検出回路において検出して生成されるパルスは、アップダウンカウンタ614のアップ入力に与えられる。アンブダウンカウンタ614では、ダウン信号が入力されると、現在選択されているクロックより位相が進んだクロックを選択するべく、 $3 \rightarrow 2 \rightarrow 1 \rightarrow n \rightarrow (n-1)$ のようにカウントダウンする。

【0082】逆にアップ信号が入力されると、現在選択されているクロックより位相が遅れたクロックを選択するべく、 $(n-1) \rightarrow n \rightarrow 1 \rightarrow 2 \rightarrow 3$ のようにカウントアップする。アップダウンカウンタ614の出力は、デコードされ、多相クロックの相数と同じ数だけ用意され、各出力は切り替えタイミング信号がハイレベルの場合、セクタ付きDフリップフロップ回路621～62nで、入力クロックによってラッチ出力される。切り替えタイミング信号がロウレベルの場合、セクタ付きDフリップフロップ回路621～62nは、自データを保持する。

【0083】一方、いずれかの判定結果信号の立ち上がりを検出したパルスによって、バイナリカウンタ615はクリアされ、数カウント後にキャリア信号を出力し、

先ほどの判定結果信号の立ち上がり検出パルスからキャリア信号までを保護時間として、Dフリップフロップ回路67、68の入力をロウレベルに固定し、キャリア信号と保護パルスの論理積演算結果出力信号によってDフリップフロップ回路61、62をクリアする。

【0084】バイナリカウンタ615は、キャリア信号で自己ディゼーブルされる。また、保護時間内に位相を進ませる信号及び位相を遅らせる信号が両方入力された場合には、Dフリップフロップ回路66でラッチされた後にタイミングエラー信号として出力されるのである。

【0085】また、いずれかの判定結果信号の立ち上がりを検出したパルスによって、Dフリップフロップ632には、ハイレベル信号がセットされる。その状態後に入力される切り替えタイミング信号によって、JKフリップフロップ637にハイレベル信号がセットされ、位相切り替え信号にアクティブ状態であるハイレベル信号が出力される。

【0086】次に来る切り替えタイミング信号によって、JKフリップフロップ637には、ロウレベル信号がセットされ、位相切り替え信号に非アクティブ状態であるロウレベル信号が出力される。また、ロック判定結果信号に、アンロック状態を示すハイレベル信号が入力されている場合には、位相即時シフトPLL回路4のロックイン・プロセスを妨げないように、アンブダウンカウンタ614をディゼーブルし、よってセクタ回路3を固定し、位相切り替え信号としてロウレベル信号を出力するのである。

【0087】(本発明の第1の実施の形態の効果)：

以上の本発明の実施の形態によれば、リセットVCOを用いて位相即時シフトPLL回路4を構成し、逡倍PLL回路2の多相クロックを、多相歯抜け状クロックに変換し、多相歯抜け状クロックを、位相即時シフトPLL回路4に選択入力し、位相即時シフトPLL回路4では、位相をシフトする場合には、位相制御信号をリセットVCO回路に取り込み、位相シフトを行い、位相をシフトしない場合には、位相制御信号をリセットVCO回路に取り込まず、位相制御信号を基準クロックとした逡倍PLLモードで動作することで、位相即時シフトPLL回路4のクロック出力を常に安定にすることができ

る。

【0088】この安定な位相即時シフトPLL回路4のクロック出力の内の隣り合った3相クロックを用いて、受信データとのタイミング判定を行い、タイミングが不適当である場合は、適当と判定される位相方向に位相即時シフトPLL回路4の出力クロックが変移するように、多相クロックの内の適当と考えられる一つの位相の歯抜け状クロックをセクタ回路3にて選択入力し、ここで歯抜け状クロックにしていることで、ノイズ無しでの切り替えが可能であり、位相即時シフトPLL回路4は、1～5クロック周期幅程度の非常に速い応答速度

で、その新しい位相のクロックを無瞬断でノイズの重積無しに出力できるため、受信データがバーストデータであっても、素早くビット位相同期を確立することができる。

【0089】また、受信データにジッタ・ワンダが含まれている場合にも、同様に素早く追従することができる。且つ、安定な受信データに関しては、一度、ビット位相同期を完了すれば、位相即時シフトPLL回路4は、逡倍PLL回路2と同等の安定したクロックを出力するので、データの同符号連続耐量を、ほぼ無限大にすることができる。また、受信データの障害、或いは、位相即時シフトPLL回路4の障害検出を行うことを容易にすることができる。

【0090】以上のようなことから、受信データからデジタルデータの再生を行う装置において適用することで、非常に高い性能を有する装置を容易に、しかも安価に実現することができる。

【0091】「ビット位相同期回路の第2の実施の形態」：第2の実施の形態のビット位相同期回路は、同じビット速度の複数の受信データからなるパラレル受信データに対するビット位相同期をとるためのものである。

【0092】図13は第2の実施の形態のビット位相同期回路の機能構成図である。この図13において、ビット位相同期回路は、逡倍PLL回路2と、セレクト回路3と、位相即時シフトPLL回路4と、セレクト制御回路6と、データラッチ回路14-2~14-iと、タイミング判定回路5と、歯抜け状クロック生成回路11と、ロック判定回路16とから構成されている。尚、上述の第1の実施の形態の構成部と同じ機能構成部には同じ符号を付与しているので、同じ構成部の説明は省略する。このビット位相同期回路は、パラレルデータ7i~72~71を取り込み、これらのパラレルデータの内のデータ71に対するタイミング判定をタイミング判定回路5で行いながら、ビット位相同期のとれた再生データ8i~82~81を出力するものである。

【0093】データラッチ回路14-iは、受信データ7iを取り込み、リセットVCO回路4からの3相クロックによってビット位相同期をとって再生データ8iを出力する。データラッチ回路14-2も同様に受信データ72を取り込み、位相即時シフトPLL回路4からの3相クロックによってビット位相同期をとって再生データ82を出力する。タイミング判定回路5は、受信データ71を取り込み、位相即時シフトPLL回路4からの3相クロックによってビット位相同期をとって再生データ81と、再生データ用クロックと、判定結果信号とを出力し、この判定結果信号をセレクト制御回路6の判定結果信号入力端子へ与える。

【0094】（動作）：次に図13のビット位相同期回路の動作を説明する。パラレルデータ71~7iには、位相が未知なi並列のパラレルデータが入力され

（但し、パラレルデータ内の相互の位相関係は同期して、位相も揃っているものとする。）、そのパラレルデータの内、パラレルデータ入力信号71は、パラレルデータ入力のタイミング情報の代表としてマスターデータとし、それ以外のデータをスレーブデータとして、パラレルデータ入力信号71は、タイミング判定回路5のデータ入力端子に入力され、パラレルデータ入力信号72~7iは、それぞれデータラッチ回路14-2~14-iのデータ入力端子に入力される。

【0095】タイミング判定回路5では、入力された3相クロック0と、データの位相関係に対して、適当であれば、そのまま、不適当であればクロックの位相を進めるべきであるか、遅らせるべきであるかを判定し、その結果を判定結果信号出力端子から出力する。

【0096】また、タイミング判定回路5とデータラッチ回路14-2~14-iは、それぞれ入力されたデータを、入力された3相クロック0によってラッチして、そのラッチ出力信号をそれぞれのデータ出力端子から再生パラレルデータ出力信号81~8iとして出力する。

【0097】タイミング判定回路5では、入力データをラッチするために用いたクロックを、クロック出力端子から出力し、その出力は再生並列データ用クロック9として出力される。タイミング判定回路5の判定結果信号は、セレクト制御回路6の判定結果信号入力端子に入力される。

【0098】（ビット位相同期回路の第2の実施の形態の効果）：以上の第2の実施の形態のビット位相同期回路によれば、パラレルデータ入力の内の1本をタイミング情報の代表として、マスターデータとし、それ以外のデータをスレーブデータとし、マスターデータに対してタイミング判定回路5でタイミング判定して、マスターデータからタイミングリカバリを行い、位相即時シフトPLL回路4の出力をマスターデータと同様にスレーブデータをラッチするために用いることによって、シリアルデータに対するビット位相同期の効果を大きなハードウェアを追加せずにパラレルデータに適用することができる。

【0099】「ビット位相同期回路の第3の実施の形態」：第3の実施の形態のビット位相同期回路は、パラレル受信データに対するビット位相同期をとるためのものであるが、しかも全ての受信データのそれぞれに対してタイミング判定によるビット位相同期を行うものである。

【0100】図14は第3の実施の形態のビット位相同期回路の機能構成図である。この図14において、ビット位相同期回路は、逡倍PLL回路2と、セレクト回路3と、位相即時シフトPLL回路4と、セレクト制御回路6と、タイミング判定回路51~5iと、歯抜け状クロック生成回路11と、判定結果OR回路15と、ロック判定回路16とから構成されている。

【0101】タイミング判定回路51は、受信データ71を取り込み、位相即時シフトPLL回路4からの3相クロックを用いてビット位相同期をとって再生パラレルデータと再生パラレルデータ用クロックと、判定結果信号とを出力し、この判定結果信号は判定結果OR回路15に与えられる。タイミング判定回路5iは、受信データ7iを取り込み、位相即時シフトPLL回路4からの3相クロックを用いてビット位相同期をとって再生パラレルデータと、判定結果信号とを出力し、この判定結果信号は判定結果OR回路15に与えられる。判定結果OR回路15は、タイミング判定回路51～5iからの判定結果信号の論理和演算を行って、演算結果信号をセレクタ制御回路6の判定結果信号入力端子に与えるものである。

【0102】（動作）：次に図14のビット位相同期回路の動作を説明する。受信パラレルデータ入力端子71～7iには、位相が未知なi並列の受信パラレルデータが入力され（但し、受信パラレルデータ内の相互の位相関係は同期して、位相もほぼ揃っているものとする。）、そのパラレルデータは、それぞれタイミング判定回路51～5iのデータ入力端子に入力される。

【0103】各タイミング判定回路51～5iでは、個別に入力されたクロックとデータの位相関係に対して、適当であれば、そのまま、不適当であればクロックの位相を進めるべきであるか、遅らせるべきかを判定し、その結果を判定結果信号出力端子から出力する。

【0104】また、タイミング判定回路51～5iでは、それぞれ入力されたデータを、入力された3相クロック0によってラッチし、そのラッチ出力をデータ出力端子から出力し、その出力は再生パラレルデータ出力信号81～8iとして出力され、タイミング判定回路51は入力データをラッチするために用いたクロックを、クロック出力端子から出力し、その出力は再生パラレルデータ用クロックとして出力される。

【0105】タイミング判定回路51～5iの判定結果信号は、それぞれ判定結果OR回路15の判定結果信号入力に与えられる。判定結果OR回路15では、入力された全ての判定結果信号の論理和演算を行って、その結果を判定結果信号出力端子から出力して、この信号はセレクタ制御回路6の判定結果信号入力端子に与えられる。

【0106】（第3の実施の形態の効果）：以上の第3の実施の形態のビット位相同期回路によれば、受信パラレルデータの全てのビット線に対してビット位相同期を行うことができるので、位相スキュー（位相のずれ）が生じている受信パラレルデータに対しても、上述の第1の実施の形態から第2の実施の形態におけるシリアルデータに対する効果を得て、大きなハードウェアを追加することなく適用することができる。

【0107】（他の実施の形態）：（1）尚、基準

クロック入力端子には、受信データのビットレートと同じクロック周波数の $1/m$  ( $m>0$ )の周波数のクロックが入力されているが、近接した（近傍の）周波数でもよいことは明白である。

【0108】（2）また、逡倍PLL回路のVCOと、リセットVCO回路のVCOとを同じ回路構成のVCOを使用したか、異なる回路構成でもよい。

【0109】（3）更に、動作を説明する上で、アクティブハイレベルで動作を説明したが、信号の極性は論理的に矛盾なければ、どのような極性でも適用することができる。

【0110】

【発明の効果】以上述べた様に請求項1の発明は、リセットVCO回路と、位相比較制御回路とを備え、入力位相制御信号を上記位相比較制御回路に与えてPLL動作を行うPLL回路において、位相切り替え信号を印加する位相切り替え信号入力端子と、上記位相切り替え信号入力端子に印加された位相切り替え信号が所定の状態のときには、上記位相制御信号を上記リセットVCO回路に与えて上記リセットVCO回路だけを発振制御し、位相シフトモードで発振動作させる制御を行い、上記位相切り替え信号入力端子に印加された上記位相切り替え信号が上記所定状態以外の状態のときには、上記位相制御信号を上記位相比較制御回路に与えて、PLL動作を行なわせる制御を行う位相制御手段とを備えたことで、従来に無い機能的で、しかもビット位相同期回路に適用した場合の性能向上の効果を期待することができるPLL回路を実現することができる。

【0111】また、請求項2の発明は、請求項1記載のPLL回路を備えるものであって、選択手段で選択出力されたクロックを、位相制御信号として取り込むと共に、位相切り替え信号を取り込んで第1のクロックを生成するクロック生成手段と、n相クロック生成手段で生成されたクロックと、上記第1のクロックとから上記クロック生成手段のPLL回路がロック状態であるか否かを判定し、ロック判定結果信号を出力するロック判定手段とを備え、タイミング判定出力手段は、切り替えタイミング信号と上記ロック判定結果信号と位相差信号とから上記位相切り替え信号を生成して上記クロック生成手段のPLL回路に与えることで、どのような位相で受信データが取り込まれても、非常に安定的に、しかも簡単な構成で迅速にビット位相同期がとれたデータとクロックを出力し、ノイズに対する誤動作を改善するビット位相同期回路を実現することができるのである。

【図面の簡単な説明】

【図1】本発明の位相即時シフトPLL回路の実施の形態の機能構成図である。

【図2】従来例のビット位相同期回路の構成図である。

【図3】位相即時シフトPLL回路の実施の形態のリセットVCOの説明図である。

\*

4 位相即時分周PLL回路

411: 電圧制御遅延2入力AND回路  
 412~415: 電圧制御遅延反転回路  
 42: 位相周波数検出回路  
 43: フィードバック回路  
 44: 0~1分周回路  
 45: m分周回路  
 46: 2入力AND回路  
 47, 48: 片反転2入力AND回路

4a 位相同期回路

4b 位相同期回路

4c 位相同期回路

4d 位相同期回路

41(n-1)

41n

411

412

413

414

415

416

417

418

421

422

423

424

425

426

427

428

43

44

45

46

47

48

PD

CP

LPE

VCO

U

D

I<sub>E</sub>

I<sub>F</sub>

41(n-1)

41n

411

412

413

414

415

416

417

418

421

422

423

424

425

426

427

428

43

44

45

46

47

48

PD

CP

LPE

VCO

U

D

I<sub>E</sub>

I<sub>F</sub>

41(n-1)

41n

411

412

413

414

415

416

417

418

421

422

423

424

425

426

427

428

43

44

45

46

47

48

PD

CP

LPE

VCO

U

D

I<sub>E</sub>

I<sub>F</sub>

41(n-1)

41n

411

412

413

414

415

416

417

418

421

422

423

424

425

426

427

428

43

44

45

46

47

48

PD

CP

LPE

VCO

U

D

I<sub>E</sub>

I<sub>F</sub>

41(n-1)

41n

411

412

413

414

415

416

417

418

421

422

423

424

425

426

427

428

43

44

45

46

47

48

PD

CP

LPE

VCO

U

D

I<sub>E</sub>

I<sub>F</sub>

41(n-1)

41n

411

412

413

414

415

416

417

418

421

422

423

424

425

426

427

428

43

44

45

46

47

48

PD

CP

LPE

VCO

U

D

I<sub>E</sub>

I<sub>F</sub>

41(n-1)

41n

411

412

413

414

415

416

417

418

421

422

423

424

425

426

427

428

43

44

45

46

47

48

PD

CP

LPE

VCO

U

D

I<sub>E</sub>

I<sub>F</sub>

41(n-1)

41n

411

412

413

414

415

416

417

418

421

422

423

424

425

426

427

428

43

44

45

46

47

48

PD

CP

LPE

VCO

U

D

I<sub>E</sub>

I<sub>F</sub>

41(n-1)

41n

411

412

413

414

415

416

417

418

421

422

423

424

425

426

427

428

43

44

45

46

47

48

PD

CP

LPE

VCO

U

D

I<sub>E</sub>

I<sub>F</sub>

41(n-1)

41n

411

412

413

414

415

416

417

418

421

422

423

424

425

426

427

428

43

44

45

46

47

48

PD

CP

LPE

VCO

U

D

I<sub>E</sub>

I<sub>F</sub>

41(n-1)

41n

411

412

413

414

415

416

417

418

421

422

423

424

425

426

427

428

43

44

45

46

47

48

PD

CP

LPE

VCO

U

D

I<sub>E</sub>

I<sub>F</sub>

41(n-1)

41n

411

412

413

414

415

416

417

418

421

422

423

424

425

426

427

428

43

44

45

46

47

48

PD

CP

LPE

VCO

U

D

I<sub>E</sub>

I<sub>F</sub>

41(n-1)

41n

411

412

413

414

415

416

417

418

421

422

423

424

425

426

427

428

43

44

45

46

47

48

PD

CP

LPE

VCO

U

D

I<sub>E</sub>

I<sub>F</sub>

41(n-1)

41n

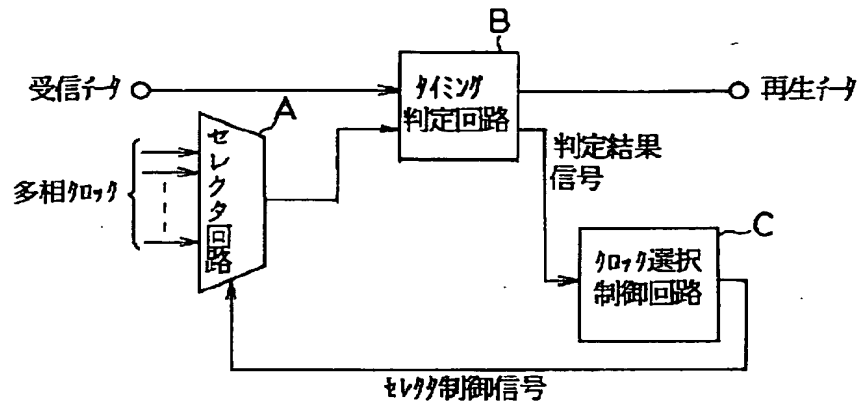
411

412

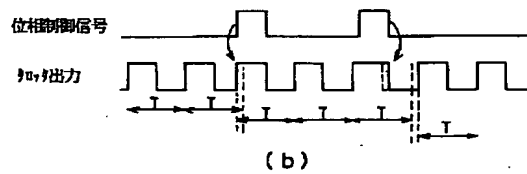
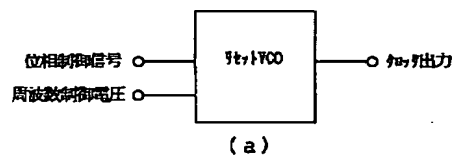
413

414

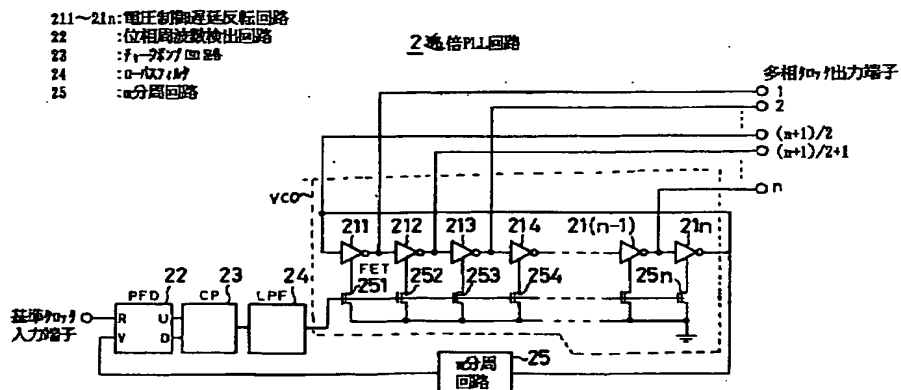
【図2】



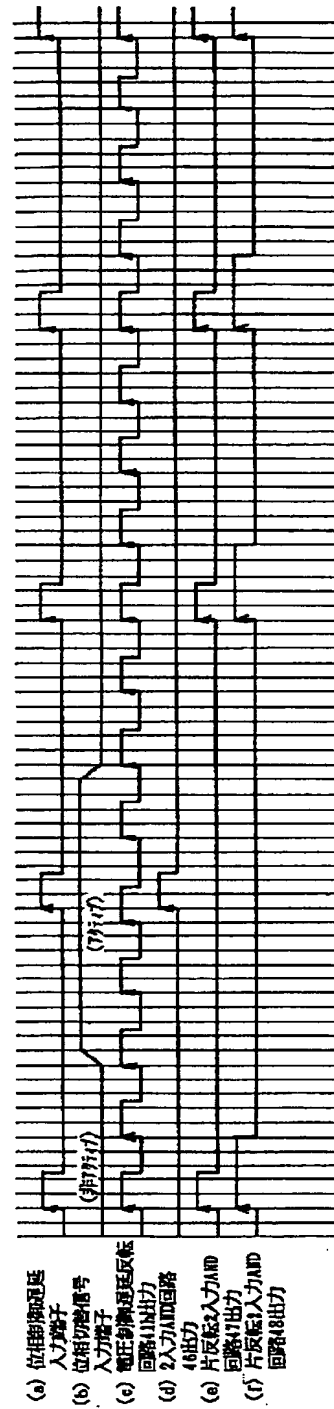
【図3】



【図8】



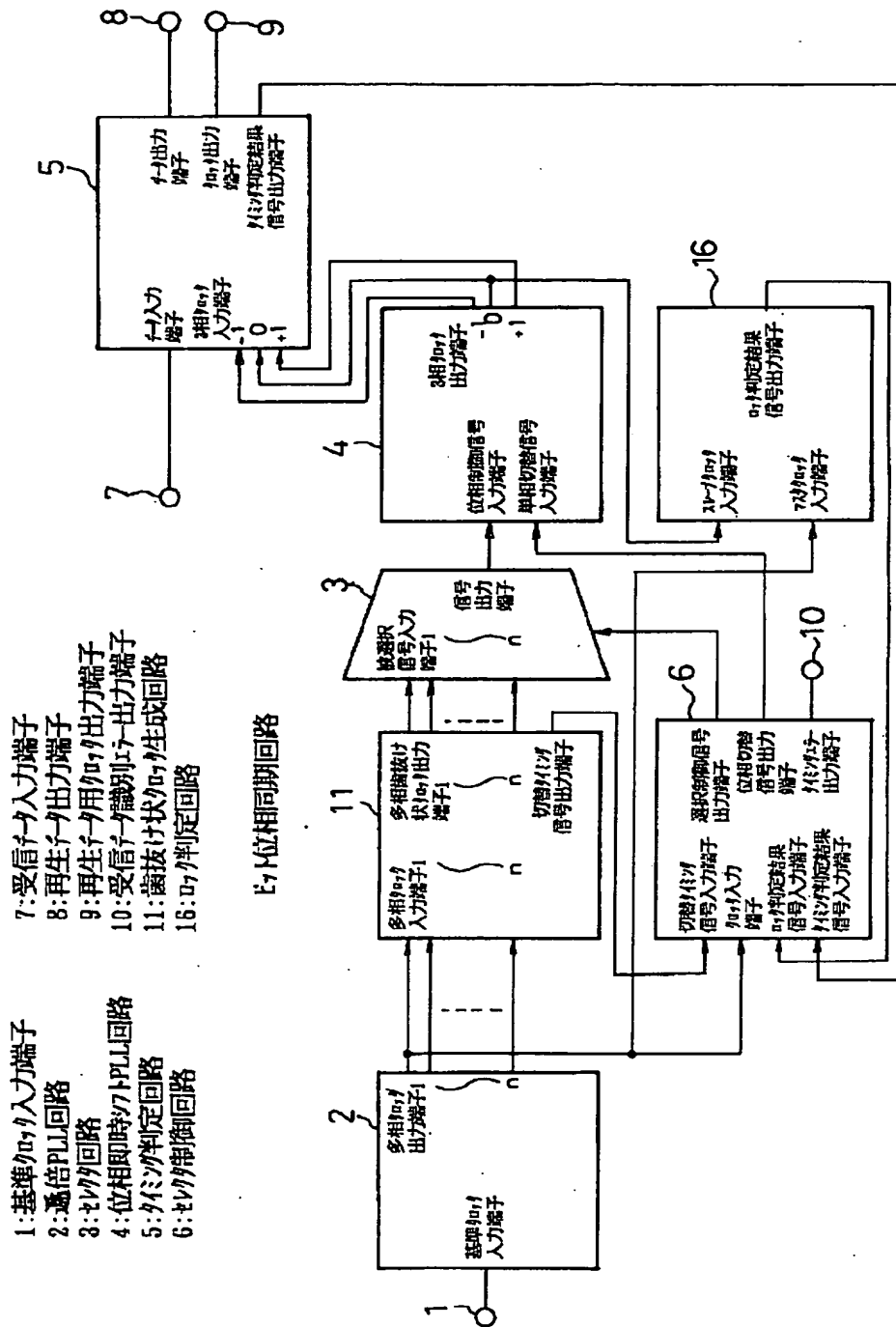
【図4】



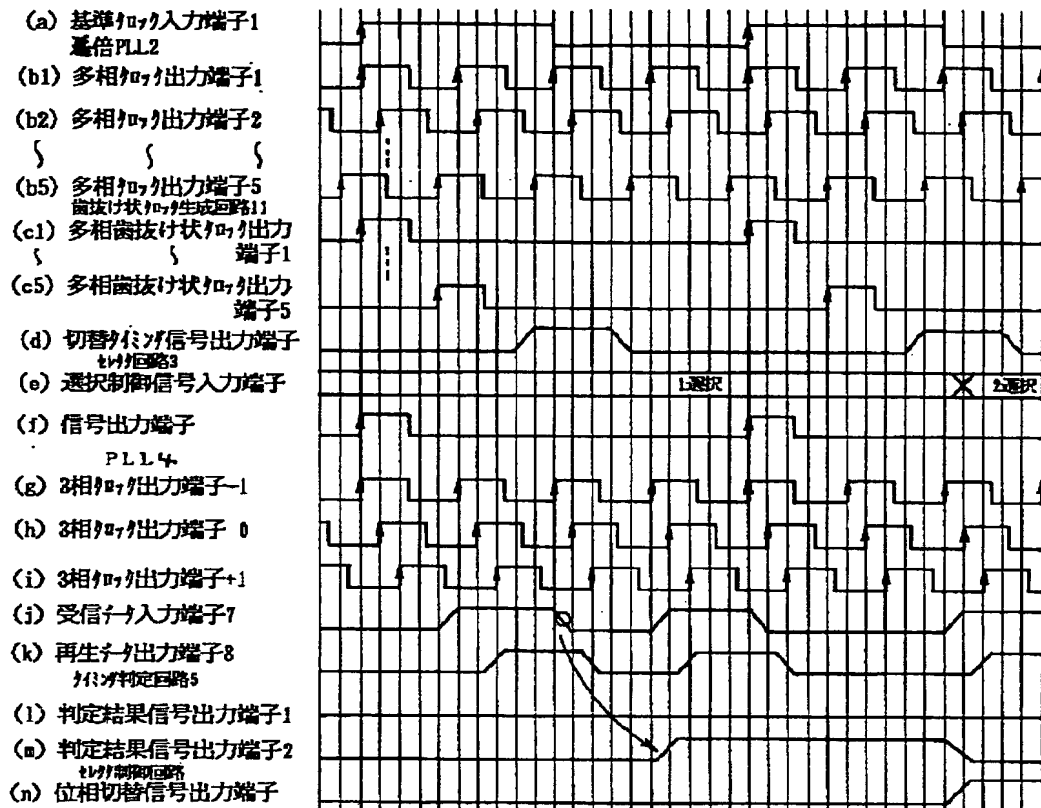
位相即時リセットPLL回路の動作タイミングチャート



【図5】

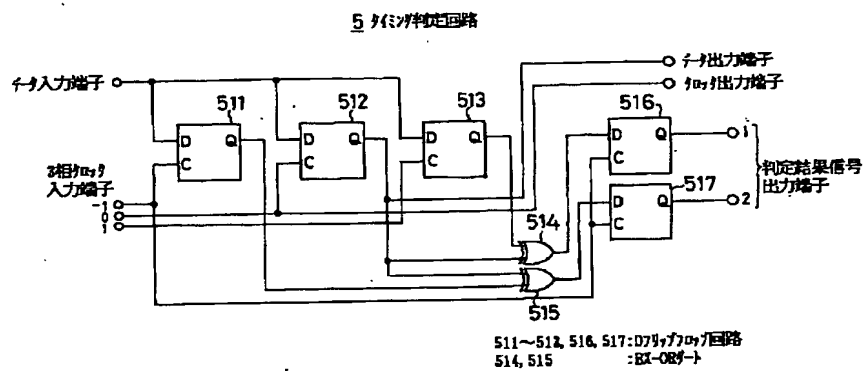


【図6】

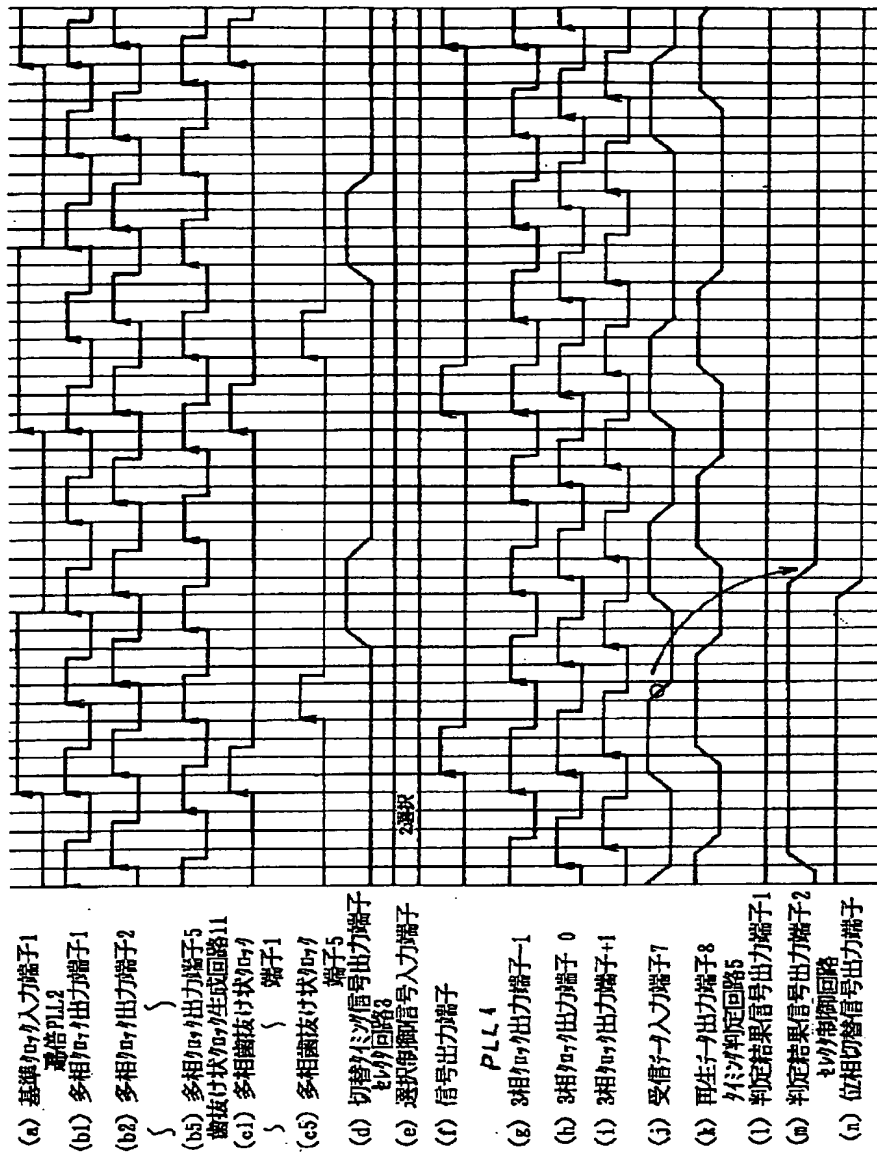


ビット位相同期回路の動作タイミングチャート(1/2)

【図10】



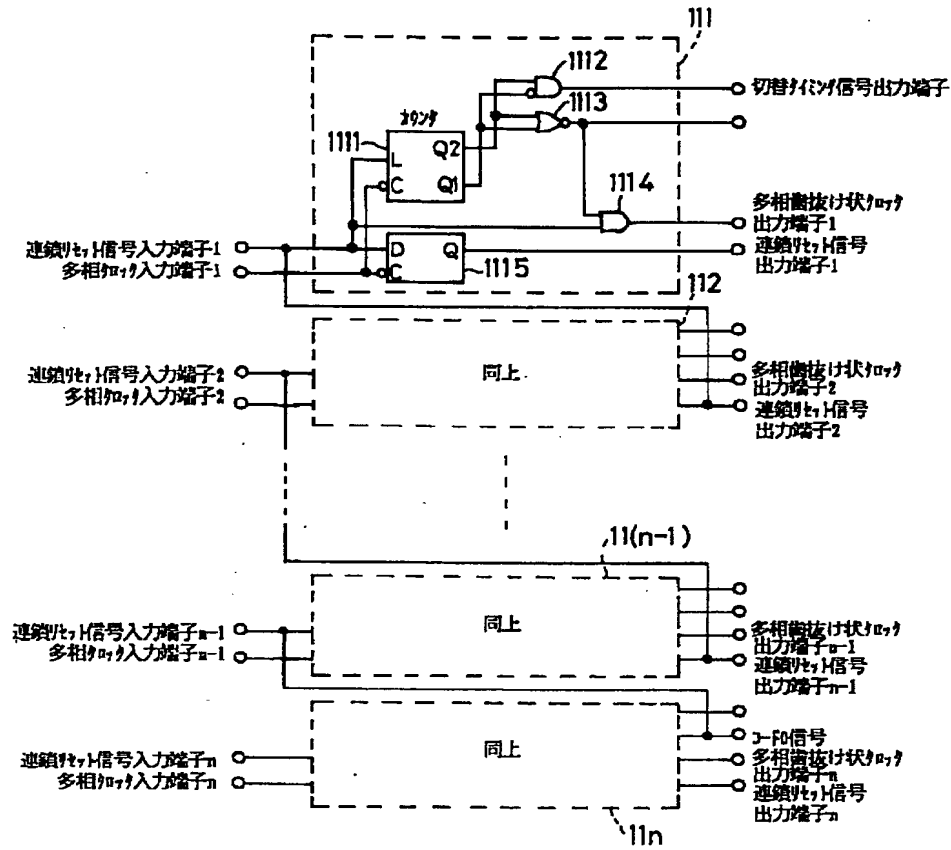
【図7】



ビット位相同期回路の動作タイムチャート(2/2)

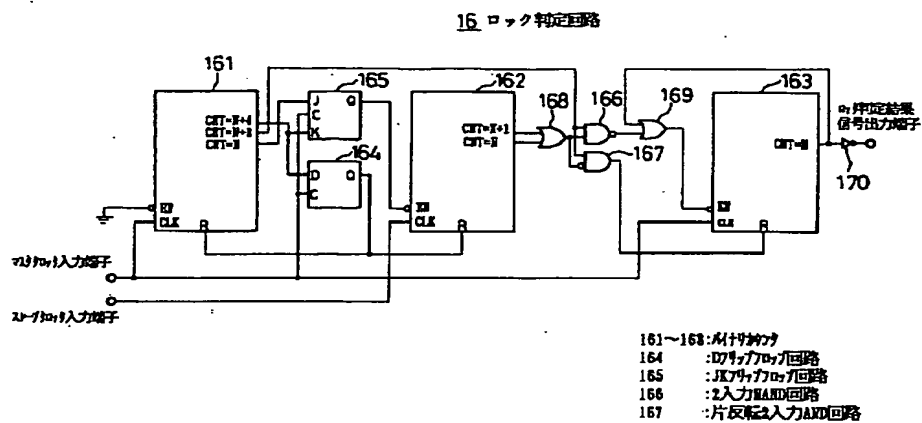
【図9】

## 11 歯抜け状態の生成回路

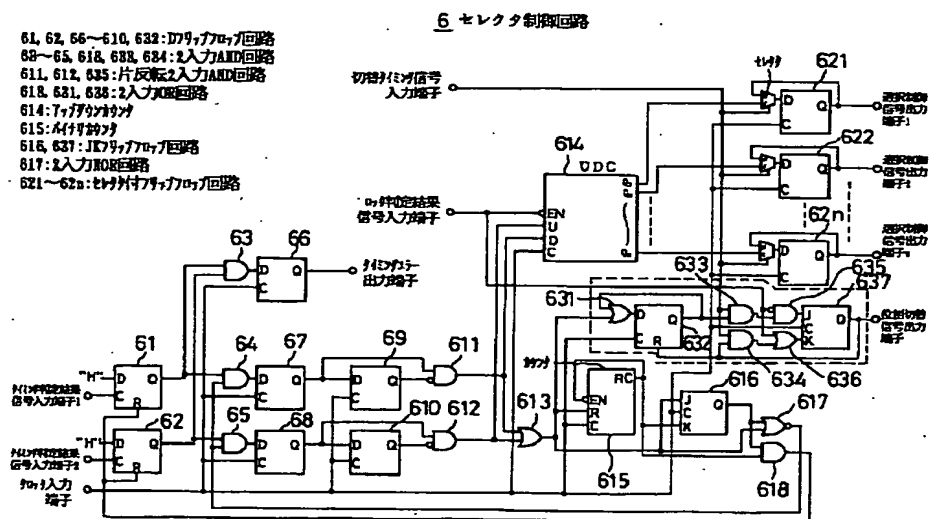


- 1111: Dフリップフロップ回路  
 1112: 片反転2入力ANDゲート  
 1113: 2入力NORゲート  
 1114: 2入力ANDゲート  
 1115: Dフリップフロップ回路

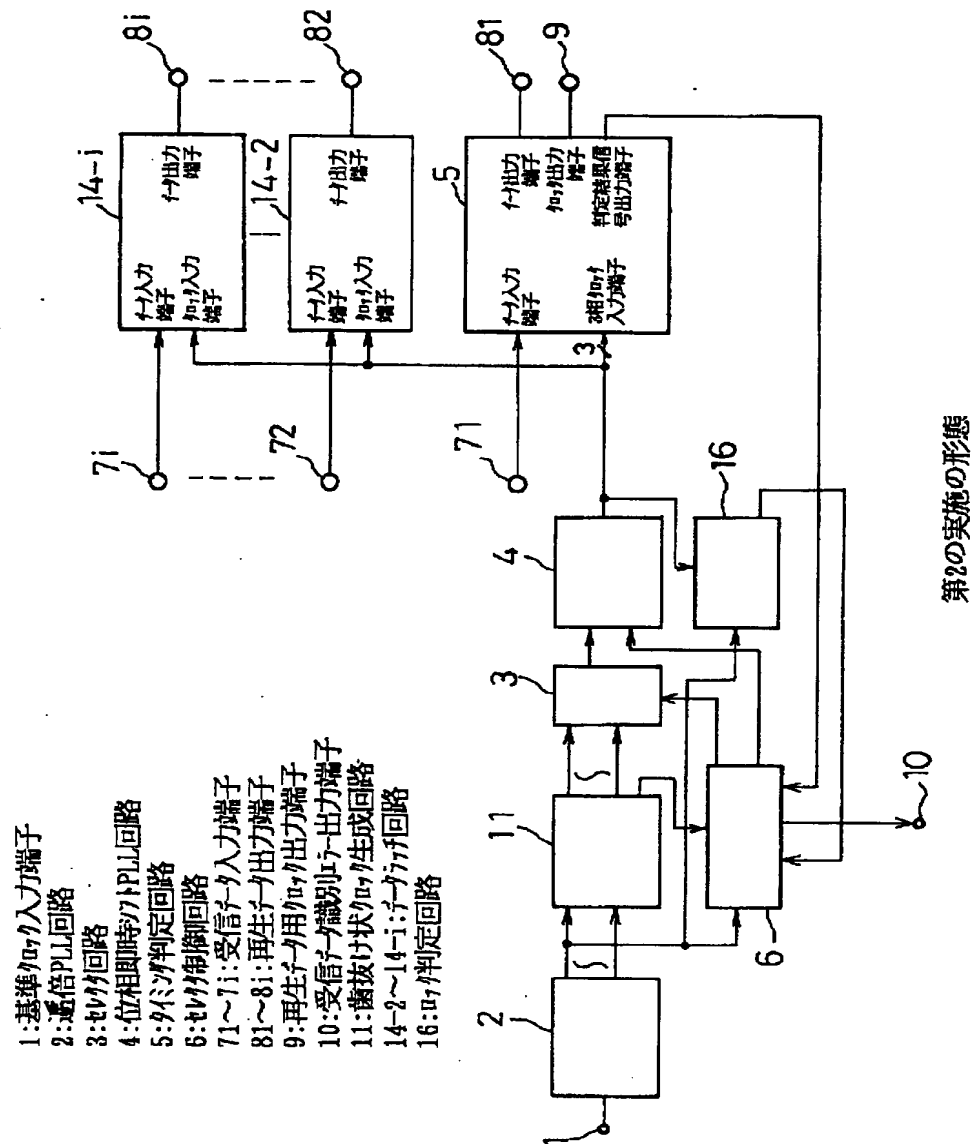
【図11】



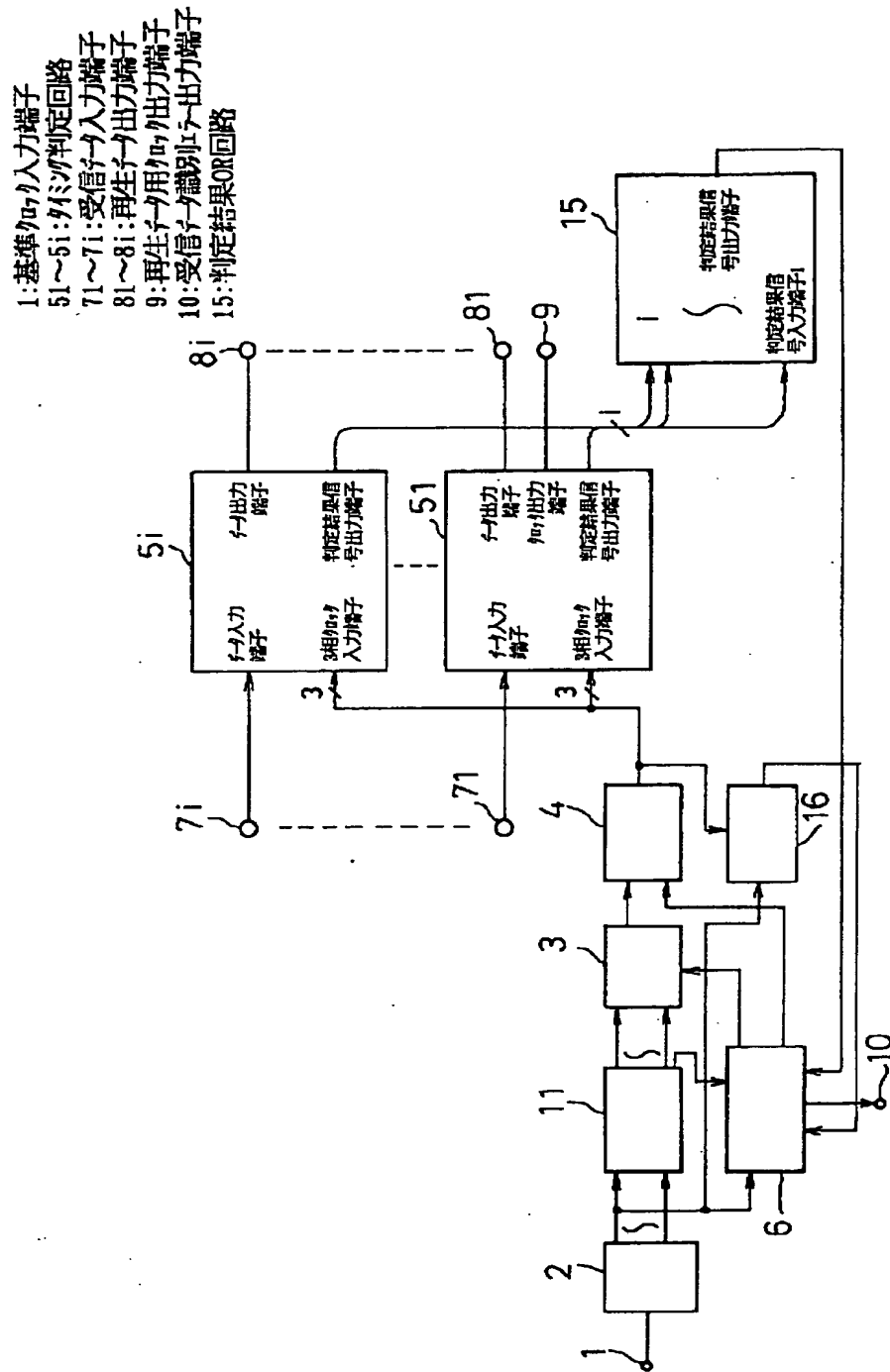
【図12】



【図13】



【図14】



第3の実施の形態

フロントページの続き

(72)発明者 松本 修一

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内